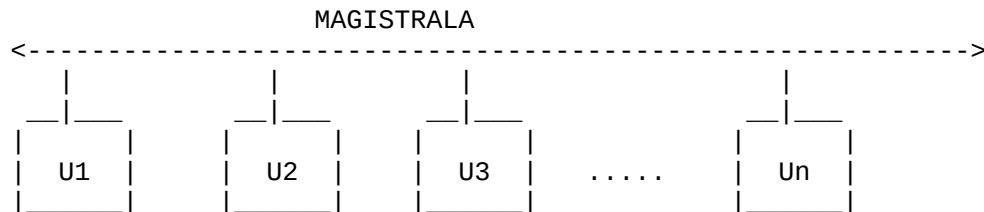


MAGISTRALE

=====

U nastavku sledi kratak podsetnik sa predavanja. Za vise informacija student treba da konsultuje literaturu (Dandamudi, strane 147-165, Tanenbaum, strane 176-187, Hamacher, strane 228-259).

MAGISTRALA je skup linija koje povezuju dva ili vise uredjaja. Preko magistrale se prenose podaci i/ili instrukcije izmedju dva uredjaja. Tipicno, magistrala ima sledeci izgled:



Dakle, svi uredjaji se povezuju na isti komunikacioni kanal. Vrednost koju neki od uredjaja propusti na svoj izlaz se prenosi preko magistrale do ostalih uredjaja. Kako ne bi doslo do kolizije signala, uslov je da u svakom trenutku najvise jedan uredjaj svoju vrednost pusta na magistralu. Ovo se postize upotrebom bafera sa tri stanja na izlazima uredjaja.

Pod TRANSAKCIJOM na magistrali podrazumevamo bilo koju zaokruzenu aktivnost na magistrali. Svaka transakcija moze ukljucivati jednu ili vise OPERACIJA na magistrali (citanje, pisanje, ...). U svakom trenutku se putem magistrale moze obavljati najvise jedna transakcija. U svakoj transakciji ucestvuju dva uredjaja: jedan koji inicira transakciju (aktivni uredjaj, engl. master) i jedan koji odgovara na zahtev (pasivni uredjaj, engl. slave). Tipican aktivni uredjaj je procesor, dok je tipican pasivni uredjaj memorija. Komunikacija izmedju uredjaja pri svakoj transakciji regulisana je skupom pravila koja nazivamo PROTOKOL MAGISTRALE.

U ovom tekstu razmatramo PARALELNE MAGISTRALE. Kod ovih magistrala, podaci se prenose rec po rec, tako sto postoji n paralelnih linija koje omogucavaju prenos svih bitova reci odjednom. O serijskim magistralama (kod kojih se podaci prenose bit po bit putem jedne linije) bice reci kasnije. Paralelna magistrala se danas tipicno koristi za komunikaciju izmedju procesora i memorije (pa je nazivamo MEMORIJSKA MAGISTRALA), ali se ranije koristila i za komunikaciju izmedju procesora i drugih uredjaja u racunarskom sistemu, poput ulazno izlaznih uredjaja (u tom kontekstu je koriscen termin SISTEMSKA MAGISTRALA). Takodje, u racunarskom sistemu mozemo imati i vise procesora koji komuniciraju sa istom memorijom putem iste magistrale. Otuda je razumno pretpostaviti da mozemo imati vise master uredjaja koji se takmice za pristup magistrali.

Paralelna magistrala, pored linija za prenos podataka (tzv. magistrale podataka) obicno sadrzi i posebne linije za prenos adrese od aktivnog ka pasivnom uredjaju (tzv. adresna magistrala). Pored toga, magistrala sadrzi i razlicite kontrolne signale kojima se uskladjuje komunikacija izmedju aktivnog i pasivnog uredjaja i obezbedjuje realizacija definisanog protokola.

Napomenimo da kod nekih tipova paralelnih magistrala, zbog uštede u broju linija, ne postoje posebno magistrala podataka i adresna magistrala, već se iste linije koriste i za prenos podataka i za prenos adresa (naravno, u različitim ciklusima). Takve magistrale nazivamo MULTIPLEKSIRANE MAGISTRALNE (tipičan predstavnik ovakvih magistrala bila je PCI magistrala koja se koristila za komunikaciju procesora za ulazno izlaznim uređajima).

Magistrale su danas obično sinhronne, što znači da se komunikacija između aktivnog i pasivnog uređaja sinhronizuje sa časovnikom, tj. signali se između uređaja prenose na rubovima časovnika. Otuda se i sam protokol magistrale definiše u odnosu na rubove časovnika.

***) SIRINA PARALELNE MAGISTRALNE**

- Broj bitova adresne magistralne određuje veličinu adresibilnog prostora (npr. 32-bitna adresna magistrala može da adresira 2^{32} bajtova, tj. 4GB; moderni Intel-ovi i AMD-ovi procesori koriste i do 48 adresnih linija, što omogućava adresiranje 256TB fizičke memorije).
- Broj bitova magistralne podataka određuje veličinu podatka koji se može preneti u jednom transferu (moderni Intel-ovi procesori imaju 64-bitnu magistralu podataka).

***) VRSTE TRANSAKCIJA NA PARALELNOJ MAGISTRALI**

- CITANJE: podrazumeva citanje jedne reči iz memorije.
- UPIS: podrazumeva upis jedne reči u memoriju.
- CITANJE BLOKA PODATAKA: podrazumeva citanje više uzastopnih reči iz memorije. Na primer, kod Intel-ovih procesora koristi se 64-bitna magistrala podataka. Citanje bloka podrazumeva citanje 4 susedne 64-bitne reči (32 susedna bajta) iz memorije. Ova operacija zahteva više ciklusa. Međutim, obično je brže pročitati više susednih reči u jednoj blok operaciji nego u više uzastopnih operacija pojedinačnog citanja. Razlog se sastoji u kasnjenju memorije (engl. memory latency) -- kada procesor kontaktira memoriju, potrebno je najpre neko vreme da memorija odgovori na njegov zahtev, tj. da se započne sa transferom podataka. Obično je ovo kasnjenje znatno veće od vremena transfera, pa je zato efikasnije da se pri istoj transakciji prenesu više podataka, nego da se svi ti podaci prenose u posebnim transakcijama.
- DMA PRISTUP: podrazumeva direktan pristup memoriji (engl. Direct Memory Access). Kada je potrebno pročitati veću količinu podataka iz nekog ulaznog uređaja, tada procesor to obično prepusta posebnom kontroleru direktnog pristupa (engl. DMA controller) koji igra ulogu mastera u takvoj transakciji. On kontaktira ulazni uređaj, kao i memoriju i upravlja transferom podataka iz ulaznog uređaja u memoriju preko magistralne.
- READ-MODIFY-WRITE: Ovaj tip operacije omogućava atomičko citanje i upis nekog podatka u memoriju. Iako ova operacija objedinjuje citanje i pisanje, tokom njenog trajanja nije moguće da neko drugi pristupi magistrali. Na taj način se obezbeđuje atomičnost. Ova operacija se obično koristi prilikom

implementacije operativnih sistema za realizaciju ekskluzivnog pristupa.

*) ARBITRAZA MAGISTRALE

- Ako postoji vise mastera koji zeleva da u isto vreme koriste magistralu, potrebno je odrediti kojim ce redosledom da je koriste (jer se u svakom trenutku najvise jedna transakcija moze obavljati preko magistrale).
- Arbitraza podrazumeva razresavanje konflikata pri istovremenim zahtevima za pristup magistrali. Arbitraza se obicno obavlja dinamički, tj. magistrala se uređuju dodeljuje na zahtev. Dakle, master uređaj šalje signal za zahtev (engl. request), a odgovarajući sistem za arbitrazu mu vraća signal dozvole (engl. grant). Tek kada dobije grant signal, moze pristupiti magistrali. Arbitraza moze biti:
 - CENTRALIZOVANA: postoji posebno kolo za arbitrazu (ARBITAR MAGISTRALE) koje u slucaju vise simultanih zahteva odredjuje kome ce magistrala biti dodeljena, u skladu sa nekom politikom.
 - DISTRIBUIRANA: ne postoji posaban arbitar, vec se masteri sami dogovaraju o redosledu (tako sto izmedju njih postoje odgovarajuce komunikacione linije, a unutar njih odgovarajuca logika koja donosi odluke).
- POLITIKE DODELE MAGISTRALE:

Mogu se podeliti u dve grupe:

 -) Politike fiksiranih prioriteta: svaki master uređaj ima fiksirani prioritet i u skladu sa tim fiksiranim prioritetima se odredjuje koji ce uređaj dobiti magistralu.
 -) Politike rotirajucih prioriteta: u ovom slucaju prioriteti nisu fiksirani, vec se dinamički menjaju. Ovim se izbegava "izgladnjivanje" uređaja koje moze da nastupi u slucaju fiksiranih prioriteta, kada uređaj sa visokim prioritetom stalno zahteva pristup magistrali. Jedna varijanta je da se prioritet uređaja uvecava srazmerno vremenu koje je proveo u cekanju na magistralu. Time se garantuje da ce u nekom trenutku njegov prioritet postati dovoljno visok da dobije magistralu. Druga varijanta ove politike je tzv. kruzna politika (round-robin), kod koje se uređaju koji je upravo koristio magistralu dodeljuje najmanji moguci prioritet, cime se efektivno stavlja na kraj reda (ovim se postize dodeljivanje magistrale masterima u krug).

Jedan od zahteva koji se postavlja je da politika bude fer, tj. da omoguci da svi uređaji koji zahtevaju magistralu na kraju i dobiju pristup magistrali, tj. da nema izgladnjivanja. Politika rotirajucih prioriteta to jeste, dok politika fiksiranih prioriteta to nije. Postoje i druge fer politike koje nisu zasnovane na prioritetima. Na primer, moze se definisati maksimalno vreme koje sme da prodje od trenutka postavljanja zahteva za pristup magistrali do trenutka kada uređaj dobije pristup magistrali. U tom slucaju, garantovano je da ce svaki

uredjaj koji zahteva magistralu dobiti pristup u nekom fiksiranom unapred definisanom roku.

U praksi se cesto koriste hibridne politike koje kombinuju prioritete kao i tehnike za postizanje ravnopravnosti (tj. sprecavanje izglednjivanja).

-- POLITIKE OSLOBADJANJA MAGISTRALNE:

Dele se u dve grupe:

-) politike bez preuzimanja (non-preemptive): ove politike podrazumevaju da kada neki uredjaj dobije pristup magistrali, tada mu taj pristup ne moze biti oduzet dok on sam dobrovoljno ne oslobodi magistralu. Jedna varijanta je da uredjaj automatski oslobadja magistralu po zavrsetku transakcije. Drugi pristup je da uredjaj oslobadja magistralu po zavrsetku transakcije jedino u slucaju da postoji zahtev nekog drugog uredjaja za pristup magistrali. Ovaj pristup se koristi kada neki uredjaj dominantno koristi magistralu (npr. procesor) dok ostali uredjaji tek povremeno zahtevaju pristup magistrali. Tada nema smisla stalno oslobadjati i ponovo zahtevati pristup magistrali od strane istog uredjaja.

-) politike sa preuzimanjem (preemptive): ove politike podrazumevaju da se uredjaju moze prekinuti transakcija i oduzeti magistrala u slucaju da neki drugi uredjaj viseg prioriteta zahteva pristup magistrali. Ovo je korisno u slucaju veoma dugih transakcija koje mogu dovesti da drugi uredjaji ne mogu dobiti magistralu kada im je hitno potrebna.

-- IMPLEMENTACIJA ARBITRAZE:

Bez obzira na to da li je arbitraza centralizovana ili distribuirana, mozemo razlikovati sledece varijante implementacije:

-) JEDINSTVENI SIGNALI ZA ZAHTEV I DODELU MAGISTRALNE: Signal za zahtev se formira kao disjunkcija signala za zahtev pojedinacnih uredjaja (tj. bice 1 akko bar jedan od njih trazi pristup magistrali). Sa druge strane, signal za dodelu magistralne (tzv. grant signal) se prosledjuje od jednog do drugog uredjaja. Ako neki uredjaj nije poslao signal za zahtev, on ce prosto proslediti grant signal sledecem uredjaju u nizu. Sa druge strane, ako je taj uredjaj zahtevao pristup magistrali, on nece dalje prosledjivati grant signal, vec ce pristupiti magistrali. Ova jednostavna implementacija se obicno naziva ULANCAVANJE (engl. daisy-chaining). Jednostavna je za implementaciju, ali obezbedjuje fiksni prioritet (uredjaji koji su na pocetku lanca imaju visi prioritet u odnosu na one koji slede iza).

-) NEZAVISNI SIGNALI ZA ZAHTEV I DODELU MAGISTRALNE: Svaki uredjaj salje poseban signal za zahtev koji se prosledjuje arbitru (u slucaju centralizovane arbitraze) odnosno svim drugim uredjajima (u slucaju distribuirane arbitraze). Takodje, svaki uredjaj ima sopstveni grant signal. Ovaj pristup omogucava implementaciju slozenijih politika dodela magistralne. Problem je u slozenijoj

implementaciji.

-) HIBRIDNI PRISTUP: kompromis izmedju gornja dva. Uredjaji se dele u grupe. Svaka grupa ima svoj jedinstven signal za zahtev kao i grant signal. Uredjaji u svakoj grupi se povezuju ulancavanjem.

***) PRIMER PROTOKOLA SINHRONE PARALELNE MAGISTRALNE**

-) Pretpostavimo da imamo sinhronu paralelnu razdvojenu magistralu sa 32-bitnom magistralom podataka i 32-bitnom adresnom magistralom. Magistrala omogucava dve vrste transakcija: citanje i upis pojedinačne 32-bitne reci. Arbitraza magistrale je centralizovana sa nezavisnim zahtevima [nije precizirana politika dodeljivanja, jer je to ostavljeno arbitru]. Politika oslobadjanja je bez preuzimanja, zasnovana na transakcijama.

-) Postoje sledeci kontrolni signali:

*) bus_request: ovaj signal master uredjaj (u nasem primeru procesor) salje kolu za arbitrazu magistrale, zahtevajuci pristup magistrali. Podrazumevano je 0 (nema zahteva za magistralom), a postavlja se na 1 kada zelimo da dobijemo pristup magistrali. Ovaj signal se po protokolu postavlja na uzlaznoj ivici casovnika. Iskljucuje se kada master dobije pristup magistrali (tj. kada stigne bus_grant signal).

*) bus_grant: ovaj signal kolo za arbitrazu magistrale salje master uredjaju, kako bi ga obavestio da mu je dodeljena magistrala. Podrazumevano je 0, a dobija vrednost 1 kada je magistrala dodeljena procesoru. Kolo za arbitrazu ne sme dodeliti magistralu drugom uredjaju dokle god je transakcija u toku (sto se vidi na osnovu bus_in_use signala). Dakle, u pitanju je politika oslobadjanja magistrale bez preuzimanja (non-preemptive), pri cemu master oslobadja magistralu cim završi transakciju. bus_grant signal se ukljucuje na silaznoj ivici casovnika, a iskljucuje se na sledecoj silaznoj ivici (u tom trenutku je transakcija vec zapocela).

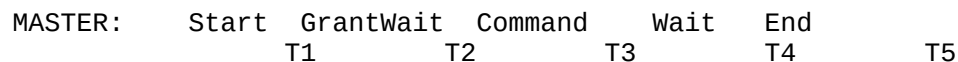
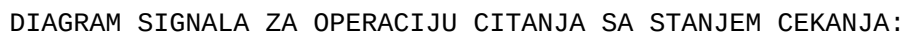
*) bus_in_use: ovaj signal master postavlja na magistralu da bi ostalim uredjajima (i arbitru) naznacio da je zapoceo transakciju. Ovaj signal ostaje ukljucen dokle god se ne završi transakcija. Ukljucuje se na uzlaznoj ivici casovnika (na prvoj sledecoj uzlaznoj ivici nakon sto arbitar ukljuci bus_grant signal). [negde se ovaj signal zove bus_busy].

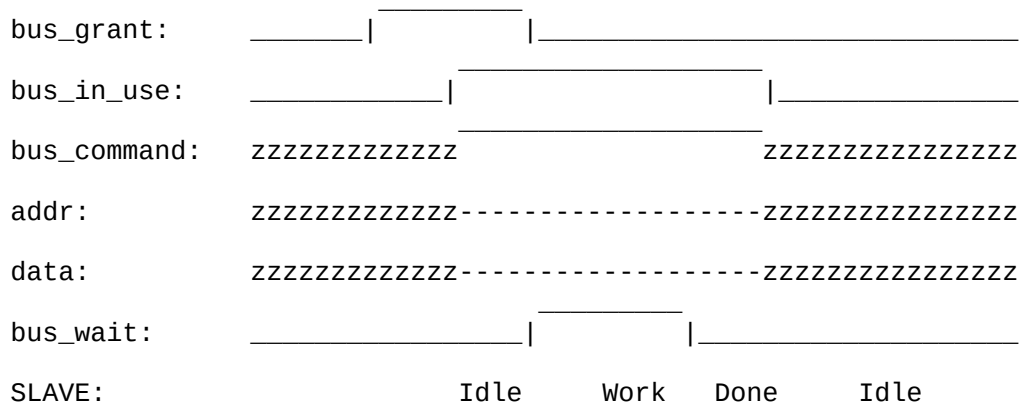
*) bus_command: ovaj signal master salje slave-u da naznaci da li je u pitanju operacija citanja ili pisanja (0 za citanje, 1 za pisanje). Podrazumevano ima vrednost z. Ukljucuje se kad i bus_in_use signal, na uzlaznoj ivici casovnika i ukljucen je dokle god traje transakcija. [u slucaju da magistrala podrzava vise tipova transakcija, umesto jednog bus_command signala bismo imali vise signala cijom kombinacijom bismo odredili zeljenu operaciju.]

*) bus_wait: ovaj signal slave salje masteru preko magistrale ukoliko nije u stanju da izvrši trazenu operaciju na prvoj sledecoj silaznoj ivici nakon zapocetka transakcije (sto je podrazumevano ponasanje). bus_wait = 1 znaci da se mora cekati

-) Adresne linije se postavljaju od strane mastera nakon dobijanja pristupa magistrali od strane arbitraze na prvoj sledecoj uzlaznoj ivici casovnika (u isto vreme kad i bus_in_use i bus_command signali). U slucaju operacije pisanja, podatak se postavlja od strane mastera u istom trenutku. U slucaju citanja, podatak se na magistralu podataka postavlja od strane pasivnog uredjaja na prvoj sledecoj silaznoj ivici nakon sto master postavi adresu i komandu (osim u slucaju da pasivni uredjaj nije u mogucnosti tako brzo da odgovori, u kom slucaju se ukljucuje bus_wait signal, a postavljanje podatka se odlaze za neku sledecu uzlaznu ivicu casovnika).

DIAGRAM SIGNALA ZA OPERACIJU CITANJA:





NAPOMENA: U slučaju da magistrala podržava i operaciju citanja/pisanja bloka od npr. 4 podatka, tada bismo imali još jedan kontrolni signal koji bismo zvali npr. "burst" koji bi bio 0 podrazumevano, a bio bi postavljan na 1 (u kombinaciji sa bus_command = 0/1) kada želimo da vrsimo citanje/pisanje bloka podataka. U tom slučaju bi prilikom citanja pasivni uređaj u četiri uzastopna ciklusa (četiri uzastopne silazne ivice počev od ciklusa T2) slao sledeći podatak, a na odgovarajućim uzlaznim ivicama koje slede bi master prihvatao poslate podatke. Slično vazi za upis, s tim što bi sada master na uzlaznim ivicama (počev od T2) postavljao sledeći podatak, a na silaznim bi pasivni uređaj prihvatao poslate podatke. Student za vezbu može da nacрта dijagrame signala u tim slučajevima.